

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR READING THE SAME

Patent Number: JP2000031435

Publication date: 2000-01-28

Inventor(s): FUJIWARA ICHIRO

Applicant(s): SONY CORP

Requested Patent: ☐ JP2000031435

Application Number: JP19980193077 19980708

Priority Number(s):

IPC Classification: H01L27/115; G11C16/04; H01L21/8247; H01L29/788; H01L29/792

EC Classification:

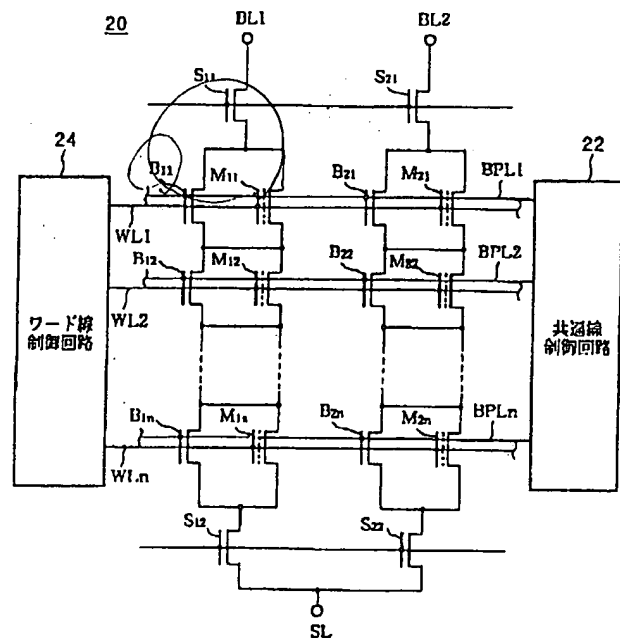
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve a read disturb characteristics in an NAND type nonvolatile memory, wherein a charge storage means is discretized in plane within a memory transistor.

SOLUTION: Memory transistors M11, etc., comprise charge storage means which are, in a gate insulating film between a substrate surface and a gate electrode, discretized in the plane facing a channel formation region. Bypass transistors B11, connected in parallel to a memory transistor in each memory cell, common line BPL, etc., for common connection with the plurality of gate electrodes, a common line control means 22 which controls a bypass transistor with a voltage applied to the common line, are provided. The common line may be shared with a word line. The common line control means 22 applies a voltage at reading a data, to the common line, which is higher than the gate application voltage of a selection memory transistor and lower than a threshold voltage V_{th} (V) in its writing state, so that a bypass transistor in a non-selection cell in a selection NAND array is conductive.

Data supplied from the esp@cenet database - I2



【特許請求の範囲】

【請求項1】基板と、当該基板表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域上に設けられたトンネル絶縁膜を含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜内に設けられ、少なくとも前記チャネル形成領域と対向する面内で離散化されている電荷蓄積手段とを有するメモリトランジスタを複数、行列状に配置した不揮発性半導体記憶装置であって、

各メモリセル内で前記メモリトランジスタと並列に接続されたバイパストラジスタと、

複数の前記バイパストラジスタのゲート電極を共通に接続する複数の共通線と、

前記共通線に印加する電圧を制御し、前記バイパストラジスタを導通または非導通にする共通線制御手段とを有する不揮発性半導体記憶装置。

【請求項2】複数の前記メモリトランジスタのゲート電極を共通に接続し、前記共通線と電気的に絶縁分離された複数のワード線と、

当該ワード線に印加する電圧を制御し、前記メモリトランジスタのゲート電極をバイアスするワード線制御手段とを有する請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記共通線は、複数の前記バイパストラジスタのゲート電極を共通に接続するバイパス線と、複数の前記メモリトランジスタのゲート電極を共通に接続するワード線とを兼用し、

前記共通線制御手段は、前記共通線の印加電圧を制御し、前記バイパストラジスタを導通または非導通にし、かつ、前記メモリトランジスタのゲート電極をバイアスする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記共通線制御手段は、データ読み出し時に、非選択のメモリセルのみ接続された非選択共通線に印加する電圧を制御して、当該非選択共通線に接続された前記バイパストラジスタを導通にし、選択されたメモリセルが接続された選択共通線に印加する電圧を制御して、当該選択共通線に接続された前記バイパストラジスタを非導通にする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】前記ワード線制御手段は、データの読み出し時に、前記共通線に印加する電圧を制御して、前記非選択共通線に接続された前記非選択のメモリトランジスタのゲート電極に、当該非選択メモリトランジスタにデータが誤書き込み及び／又は誤消去されない電圧を設定する請求項2に記載の不揮発性半導体記憶装置。

【請求項6】前記共通線制御手段は、データの読み出し時に、前記共通線に印加する電圧を制御して、前記非選択共通線に接続された前記非選択のメモリトランジスタのゲート電極に、当該非選択メモリトランジスタにデータが誤書き込み及び／又は誤消去されない電圧を設定する請求項3に記載の不揮発性半導体記憶装置。

【請求項7】前記共通線制御手段は、データ読み出し時に前記バイパストラジスタを導通にするために、前記メモリトランジスタのゲートに印加される読み出しゲート電圧より高く、当該メモリトランジスタの書き込み状態のしきい値電圧より低い電圧を前記共通線に印加する請求項3に記載の不揮発性半導体記憶装置。

【請求項8】前記読み出しゲート電圧は0Vから1Vの範囲内の電圧である請求項7に記載の不揮発性半導体記憶装置。

【請求項9】前記バイパストラジスタは、隣り合う前記メモリトランジスタ間に配置された素子分離領域の側面に形成されている請求項1に記載の不揮発性半導体記憶装置。

【請求項10】前記素子分離領域は、前記基板の表面に形成され内部に絶縁物が埋め込まれたトレンチを有する請求項9に記載の不揮発性半導体記憶装置。

【請求項11】前記トレンチ内の上部に、前記バイパストラジスタのゲート電極が埋め込まれている請求項10に記載の不揮発性半導体記憶装置。

【請求項12】前記メモリトランジスタのゲート長またはゲート幅は0.2μm以下である請求項1に記載の不揮発性半導体記憶装置。

【請求項13】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、当該トンネル絶縁膜上の窒化膜または酸化窒化膜を含む請求項1に記載の不揮発性半導体記憶装置。

【請求項14】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、前記電荷蓄積手段として前記トンネル絶縁膜上に形成された粒径が10ナノメートル以下の小粒径導電体とを含む請求項1に記載の不揮発性半導体記憶装置。

【請求項15】前記複数のメモリトランジスタは、ビット線に接続された第1の選択トランジスタと、共通電位線に接続された第2の選択トランジスタとの間に直列接続されている請求項1に記載の不揮発性半導体記憶装置。

【請求項16】基板表面に設けられた半導体のチャネル形成領域と少なくとも対向する面内で離散化された電荷蓄積手段と、前記チャネル形成領域とゲート電極との間に設けられたゲート絶縁膜内に有するメモリトランジスタのデータ読み出しに際し、データを読み出すべき選択メモリトランジスタに隣接する非選択メモリトランジスタと並列接続されたバイパストラジスタを導通させ、当該バイパストラジスタを介して前記選択メモリトランジスタの記憶データを読み出す不揮発性半導体記憶装置の読み出し方法であって、

前記非選択メモリトランジスタのゲート電極に、当該非選択メモリトランジスタにデータが誤書き込み及び／又は誤消去される電圧範囲の下限電圧より低い電圧を印加する不揮発性半導体記憶装置の読み出し方法。

【請求項17】前記複数のメモリトランジスタのゲート電極が、前記共通線と電気的に絶縁分離されたワード線によって共通に接続され、

データ読み出し時に、当該ワード線に印加する電圧を制御し、前記メモリトランジスタのゲート電極をバイアスする請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項18】前記共通線は、複数の前記バイパストラジスタのゲート電極を共通に接続するバイパス線と、複数の前記メモリトランジスタのゲート電極を共通に接続するワード線とを兼用し、前記共通線の印加電圧を制御して前記バイパストラジスタを導通または非導通にし、かつ、前記メモリトランジスタのゲート電極をバイアスする請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項19】メモリトランジスタと当該メモリトランジスタに並列接続されたバイパストラジスタとを有するメモリセルが複数、行列状に配置され、前記複数のバイパストラジスタのゲート電極が共通線によって共通接続された不揮発性半導体記憶装置の読み出しを行う場合、非選択のメモリセルのみ接続された非選択共通線に印加する電圧を制御して、当該非選択共通線に接続された前記バイパストラジスタを導通にし、選択されたメモリセルが接続された選択共通線に印加する電圧を制御して、当該選択共通線に接続された前記バイパストラジスタを非導通にする請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項20】データ読み出し時に前記バイパストラジスタを導通するために、前記メモリトランジスタのゲートに印加される読み出しゲート電圧より高く、当該メモリトランジスタの書き込み状態のしきい値電圧より低い電圧を前記共通線に印加する請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項21】前記読み出しゲート電圧を0Vから1Vの範囲内に設定する請求項20に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項22】前記共通線に所定電圧を印加して前記バイパストラジスタを導通させ、前記選択メモリトランジスタが接続されていない非選択のワード線に、前記誤書き込み及び／又は誤消去される電圧範囲の下限電圧より低い電圧を印加した後、前記選択メモリトランジスタが接続された選択ワード線に読み出しゲート電圧を印加する請求項17に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項23】前記バイパス線とワード線を兼用する共通線のうち非選択メモリトランジスタのみ接続されている非選択共通線に、前記非選択メモリトランジスタにデータの誤書き込み及び／又は誤消去が生じる電圧範囲の下限電圧より低く、かつ、前記バイパストラジスタを導通にする電圧を印加した後、

前記選択メモリトランジスタが接続された選択共通線に読み出しゲート電圧を印加する請求項18に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項24】前記バイパストラジスタは、隣り合う前記メモリトランジスタ間に配置された素子分離領域の側面に形成されている請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項25】前記素子分離領域は、前記基板の表面に形成され内部に絶縁物が埋め込まれたトレンチを有する請求項24に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項26】前記トレンチ内の上部に、前記バイパストラジスタのゲート電極が埋め込まれている請求項25に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項27】前記メモリトランジスタのゲート長またはゲート幅は0.2 μ m以下である請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項28】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、当該トンネル絶縁膜上の窒化膜または酸化窒化膜とを含む請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項29】前記ゲート絶縁膜は、前記チャネル形成領域上のトンネル絶縁膜と、前記電荷蓄積手段として前記トンネル絶縁膜上に形成された粒径が10ナノメートル以下の小粒径導電体とを含む請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項30】前記複数のメモリトランジスタは、ビット線に接続された第1の選択トランジスタと、共通電位線に接続された第2の選択トランジスタとの間に直列接続されている請求項16に記載の不揮発性半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS型やMNOS型における窒化膜内の電荷トラップ、酸化膜と窒化膜界面の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し電荷（電子またはホール）を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置及びその読み出し方法に関する。

【0002】

【従来の技術】高度情報化社会、或いは高速、高帯域ネットワーク社会において、大容量のファイルメモリ、大容量のAV用途メモリに対するニーズは大きい。現在、1ギガバイト（GB）以上のデータを記憶する大容量メモリシステムとして、ハードディスクおよび光ディスク

などのディスクを記録媒体としたディスクメモリスシステムが使用されている。この大きな市場を、不揮発性半導体メモリで置き換えようとする研究が近年、活発化している。ところが、不揮発性半導体メモリは、ハード装置の小型化、軽量化のトレンドには合致しているものの、現状では未だ記憶容量が不足し、1ギガビット(Gb)以上の大容量を有する一括消去型の半導体メモリ(フラッシュメモリ)を実現するに至っていない。また、上記不揮発性半導体メモリは、記憶容量不足に加え、ディスクメモリと比較してビットコストの低減が不十分であり、これらを解消するために不揮発性半導体メモリを高集積化することが重要である。

【0003】不揮発性半導体メモリを高集積化するためには、大別すると、半導体の微細加工技術を駆使し或いはメモリセルの回路方式やデバイス構造を工夫して、メモリセルアレイおよび周辺回路の占有面積そのものを縮小していく方法と、各メモリセルを構成するメモリトランジスタを多値化し、単一トランジスタに複数ビットを記憶させて同じ集積度で実質的に記憶容量を上げる方法が、現在、精力的に検討されている。

【0004】前者の方法のうち、メモリトランジスタの微細化はいわゆるスケーリング則によって行われるが、1Gb以上の大容量半導体メモリをFG(Floating Gate)型のフラッシュメモリで実現するにはスケーリングに関する種々の本質的な問題点、とくにトンネル酸化膜厚がスケーリングされないことに起因した動作電圧の低電圧化が難しくなっている点が指摘されている(日経マイクロデバイス1月号及び2月号、1997年参照)。すなわち、FG型のフラッシュメモリではフローティングゲートでの電荷の保持がトンネル酸化膜の膜厚に主として依存しているため、フローティングゲートからのバックトンネリング電流の理論的な解析により、トンネル酸化膜の膜厚は6nm程度に物理的に制限されている。しかし、この物理的限界に達する以前の段階で、現行のFG型では、データの書き込みに10~12MV/cm程度の高電界を用いるために、データの書換え回数の増加にともなってトンネル酸化膜のストレスリークが増え、これが実効的なトンネル酸化膜の膜厚限界値を決めることが指摘されている。ストレスリーク電流の増大による膜厚制限により、トンネル酸化膜の厚みを理論限界値の6nmまで薄膜化することが困難であり、現実的なトンネル酸化膜の限界は8nmであるとされている。低電圧書き込みのためにはトンネル酸化膜を薄くしなければならないが、上記したトンネル酸化膜の薄膜化の限界は、低電圧化のスケーリング則に矛盾し、動作電圧のスケーリングが困難になってきている。そして、その結果、周辺回路の面積縮小化等が大変困難になってきている。

【0005】一方、MONOS(Metal-Oxide-Nitride-Oxide Semiconductor)型不揮発性メモリでは、電荷保持

を主体的に担っている窒化膜(SixNy ($0 < x < 1$, $0 < y < 1$))膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップ空間的に(即ち、面方向および膜厚方向に)離散化して拡がっているために、データ保持特性が、トンネル酸化膜厚のほかに、SixNy膜中のキャリアトラップに捕獲される電荷のエネルギー的及び空間的な分布に依存する。このトンネル酸化膜に局所的にリーク電流バスが発生した場合、FG型では多くの電荷がリークバスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークバス周辺の局所的な電荷がリークバスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル酸化膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル酸化膜のスケーリング性は、MONOS型の方がFG型よりも優れている。

【0006】かかる記憶素子(メモリトランジスタ)を多数配置させてメモリセルアレイを構成した不揮発性半導体メモリにおいて、多くの種類のメモリセル方式が提案されているが、その中で最もセルサイズを小さくすることが可能なメモリセル方式の一つにNAND型がある。NAND型不揮発性半導体メモリでは、ビット線またはソース線に接続された2つの選択トランジスタ間に複数のメモリトランジスタを直列接続して、NAND列と称されるメモリブロックが構成されている。このメモリセル構成では、選択トランジスタおよびビット線等に接続するためのコンタクトが多数ビットで共有されており、その分、ビット当たりの実効的なセル面積を小さくできる。また、トランジスタを直列に配置できるので、トレンチ素子分離とセルフアライン技術の適用が容易である。このため、NAND型メモリセルでは、デザインルールFに対して、約 $5.5F^2$ 程度のセル面積が達成可能である。

【0007】図16は、従来のNAND型メモリセルアレイの基本構成を示す回路図である。NAND列と称されるメモリセルアレイの繰り返し単位100は、ビット線BLaまたはソース線SLに接続された2つの選択トランジスタS11a、S12aと、両選択トランジスタS11a、S12a間に直列接続されたn個(通常、8または16個)のメモリトランジスタM11a~1naとから構成されている。各ビット線BLa、BLbは512本で1ページを構成し、n個のメモリトランジスタを1ページ分合わせて1ブロックを構成する。1ブロックのメモリトランジスタ総数に応じたビット数は、通常、512Bから1kBである。ビット線BLaに接続された選択トランジスタS11a、S11bは、ビット線選択信号線SG11により制御され、ソース線SLに

接続された選択トランジスタS12a, S12bは、ソース線選択信号線SG12により制御される。

【0008】つぎに、NAND型不揮発性メモリの動作について説明する。データの書き込み動作は、通常、選択されたメモリトランジスタをいわゆるページ単位で一括して行う。ビット線側の選択トランジスタをオン、ソース側の選択トランジスタをオフさせた状態で、選択ワード線にプログラム電圧である高電圧を印加し、非選択ワード線に上記プログラム電圧より低い書き込み状態の非選択メモリトランジスタがオンする程度に高い電圧（バス電圧）を印加する。このとき、書き込み状態にプログラムするセルに対応したビット線に0V、消去状態のままとするセルのビット線には誤書き込みを防止するインヒビット電圧を印加する。その結果、プログラムすべき選択メモリトランジスタの電荷蓄積手段のみ電子が注入されて、選択メモリトランジスタのしきい値電圧が正方向にシフトし、しきい値が低い状態から高い状態に変化する。以後、このしきい値電圧が高い状態を“書き込み状態”、低い状態を“消去状態”と称する。

【0009】データの消去動作は、通常、消去ブロック単位で行われる。選択ブロックの全ワード線に0Vを印加し、同時に、非選択ブロックの全ワード線と、基板またはウエルとに高電圧を印加する。この電圧印加によって、消去すべき選択ブロックのメモリトランジスタのみ、その電荷蓄積手段から電子が基板またはウエル側に引き抜かれ、またホールが電荷蓄積手段に注入される。その結果、選択ブロック内で書き込み状態にあったメモリトランジスタのしきい値電圧は負方向にシフトし、当該選択ブロック内の全てのメモリトランジスタが消去状態となる。

【0010】データの読み出し動作は、例えば、選択ワード線に0V、ウエルに0Vを印加し、また、全ての非選択ワード線に非選択メモリトランジスタが導通する程度に高い電圧（バス電圧）を印加する。さらに、全ての選択信号線に所定電圧を印加して選択トランジスタをオンさせ、ビット線を低い電圧（例えば、0V）で保持する。これらの電圧印加によるウエルとワード線間の電位差だけでは、通常のFG型の場合、メモリトランジスタへの書き込みおよび消去はされない。この状態で、選択セルが接続されたビット線（選択ビット線）にのみ正の電圧（読み出しドレイン電圧）を印加する。この電圧印加によって、選択セルのメモリトランジスタがその記憶データ（しきい値電圧の大小）に依存してオンするか又はオフのままであるかが決まり、メモリトランジスタが消去状態にある場合のみ、常時オンしている非選択メモリトランジスタを介して選択ビット線に読み出し電流が流れる。この読み出し電流の有無（又は大小）をセンスアンプで検出し、記憶データの論理状態“1”または“0”を判定する。

【0011】

【発明が解決しようとする課題】前記したMONOS型など、メモリトランジスタの電荷蓄積手段が平面的に離散化されている不揮発性メモリについて、ビットあたりのコスト低減、高集積化を図り大規模な不揮発性メモリを実現するには、1トランジスタ型のセル構造を実現することが必須である。しかし、従来のMONOS型等の不揮発性メモリでは、メモリトランジスタに選択トランジスタを接続させた2トランジスタ型が主流であり、1トランジスタセルを実現するセル技術の確立が従来からの課題となっていた。この1トランジスタセル技術確立のためには、電荷蓄積手段を含むゲート絶縁膜を中心としたデバイス構造の最適化及び信頼性向上のほかに、ディスタープ特性の向上が重要である。

【0012】とくに、MONOS型メモリトランジスタを用いて上述した最もセル面積の縮小が可能なNAND型メモリを実現する1トランジスタセル化においては、上記したデータ読み出し時に非選択ワード線に印加するバス電圧による電圧ストレスが非選択セルのリードディスタープ特性に大きく影響する。つまり、上記バス電圧印加によって非選択ワード線に接続された非選択メモリトランジスタが弱い書き込み状態となるディスタープを受け、選択セルの読み出しが困難となる、或いは読み出し回数が制限されることが問題となる。このMONOS型などの平面的に離散化された電荷蓄積手段を有するメモリトランジスタを用いたNAND型セルは、前記したようにトンネル酸化膜のスケーリング性に優れ、微細化および低電圧化に有利とされるにもかかわらず、読み出しディスタープについては、その検討および改善策を示す報告が今まで殆どなされていないのが実情である。

【0013】本発明は、このような実情に鑑みてなされ、その目的は、FG型よりトンネル絶縁膜のスケーリング性に優れるMONOS型など、平面的に離散化されたキャリアトラップ等に電荷を蓄積させて基本動作するNANDセルアレイにおけるメモリトランジスタを非選択時にオンさせる場合、そのゲート印加電圧を低減することによるリードディスタープ特性の改善を、従来のNANDセルと同等のセル面積で実現できるセル構造の不揮発性半導体記憶装置を提供することである。また、本発明の他の目的は、上記セル構造に対するバイアス設定手法を含む不揮発性半導体記憶装置の読み出し方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置の読み出し方法は、基板表面に設けられた半導体のチャネル形成領域と少なくとも対向する面内で離散化された電荷蓄積手段を、前記チャネル形成領域とゲート電極との間に設けられたゲート絶縁膜内に有するメモリトランジスタのデータ読み出しに際し、データを読み出すべき選択メモリトランジスタに隣接する非選択メモリトランジスタと並列接続されたバイバストラジスタ

を導通させ、当該バイパストラジスタを介して前記選択メモリトランジスタの記憶データを読み出す不揮発性半導体記憶装置の読み出し方法であって、前記非選択メモリトランジスタのゲート電極に、当該非選択メモリトランジスタにデータが誤書き込み及び／又は誤消去される電圧範囲の下限電圧より低い電圧を印加する。この不揮発性半導体記憶装置の読み出し方法は、バイパストラジスタを相互接続する共通線が、ワード線とは別に設けられた場合、ワード線と兼用する場合の何れに対しても適用できる。

【0015】より具体的な電圧印加の方法は、例えば、メモリトランジスタと当該メモリトランジスタと並列接続されたバイパストラジスタとを有するメモリセルが複数、行列状に配置され、前記複数のバイパストラジスタのゲート電極が共通線によって共通接続された不揮発性半導体記憶装置の読み出しを行う場合、非選択のメモリセルのみ接続された非選択共通線に印加する電圧を制御して、当該非選択共通線に接続された前記バイパストラジスタを導通にし、選択されたメモリセルが接続された選択共通線に印加する電圧を制御して、当該選択共通線に接続された前記バイパストラジスタを非導通にする。

【0016】また、共通線がワード線を兼用する場合、好ましくは、データ読み出し時に前記バイパストラジスタを導通するために、前記メモリトランジスタのゲートに印加される読み出しゲート電圧（例えば、0V）より高く、当該メモリトランジスタの書き込み状態のしきい値電圧より低い電圧を前記共通線に印加する。

【0017】さらに、好ましくは、以下の手順で電圧印加を行う。共通線とワード線を別々に設けた場合は、前記共通線に所定電圧を印加して前記バイパストラジスタを導通させ、前記選択メモリトランジスタが接続されていない非選択のワード線に、前記誤書き込み及び／又は誤消去される電圧範囲の下限電圧より低い電圧（例えば、0V）を印加した後、前記選択メモリトランジスタが接続された選択ワード線に読み出しゲート電圧を印加する。共通線がワード線を兼用する場合は、その共通線のうち非選択メモリトランジスタのみ接続されている非選択共通線に、前記非選択メモリトランジスタにデータの誤書き込み及び／又は誤消去が生じる電圧範囲の下限電圧より低く、かつ、前記バイパストラジスタを導通にする電圧を印加した後、前記選択メモリトランジスタが接続された選択共通線に読み出しゲート電圧を印加する。

【0018】本発明の不揮発性半導体記憶装置は、上記した読み出し方法を好適に実施する手段として、各メモリセル内で前記メモリトランジスタと並列に接続されたバイパストラジスタを共通に接続する複数の共通線に印加する電圧を制御し、前記バイパストラジスタを導通または非導通にする共通線制御手段を有する。また、

共通線とワード線を別々に設けた場合は、ワード線に印加する電圧を制御し、前記メモリトランジスタのゲート電極をバイアスするワード線制御手段を有する。

【0019】上記不揮発性半導体記憶装置のメモリセル方式は、いわゆるNAND型が好ましい。また、前記バイパストラジスタは、好ましくは、隣り合う前記メモリトランジスタ間に配置された素子分離領域の側面に形成されている。この素子分離領域としては、前記基板の表面に形成され内部に絶縁物が埋め込まれたトレンチが好適である。その場合、好ましくは、当該トレンチ内の上部に前記バイパストラジスタのゲート電極が埋め込まれている。

【0020】このような本発明の不揮発性半導体記憶装置及びその読み出し方法では、例えばNAND型で共通線をワード線とは別に設けた場合、共通線制御手段が共通線に所定電圧を印加することによって、選択セルを含むNAND列の各非選択セル内で読み出し電流をバイパストラジスタに迂回させて流すため、非選択ワード線電圧を任意に設定できる。したがって、非選択ワード線電圧を0Vとするか、或いは非選択メモリトランジスタのチャネル形成領域の電位に対応した電圧を印加することにより、読み出しディスタurbフリーとすることができ

【0021】一方、例えばNAND型で共通線をワード線と兼用する場合は、共通線の印加電圧が非選択メモリトランジスタのゲートにも印加されるが、バイパストラジスタのしきい値電圧を予め低く設定しておくことにより、共通線の印加電圧はバイパストラジスタをオンさせる程度でよい。つまり、共通線の印加電圧を、メモリトランジスタが書き込み状態のしきい値電圧と、消去状態のしきい値電圧との間に設定することができる。この場合、書き込み状態にある非選択メモリトランジスタはオンしないが、これと並列接続されたバイパストラジスタがオンするため、読み出し電流を流すことができる。一方、消去状態にある非選択メモリトランジスタはオンするので、非選択メモリトランジスタとバイパストラジスタの双方で読み出し電流を流すことが可能である。従来は非選択メモリトランジスタのみを介してNAND列全体に読み出し電流を流す必要から、非選択ワード線にはメモリトランジスタの書き込み状態のしきい値電圧より高い電圧を印加する必要があったが、本発明では非選択ワード線の印加電圧をバス電圧とする必要がないため、この印加電圧を従来より小さくしてもデータ読み出しが可能となる。また、その分、非選択メモリトランジスタにかかる電圧ストレスを緩和でき、非選択メモリトランジスタが弱い書き込み状態になることが有効に防止される。さらに、従来では弱い書き込みが起らずとも上記電圧ストレスによって読み出し回数が制限されていたが、本発明では、この制限が大幅に緩和される。

【0022】本発明の不揮発性半導体記憶装置ではバイパストラジスタを各セルごとに設ける必要があるが、バイパストラジスタをメモリトランジスタ間に配置された素子分離領域（例えば、トレンチ素子分離領域）の側面に形成することによって、セル面積の増大を抑制することができる。

【0023】また、本発明におけるメモリトランジスタは、平面的に離散化された電荷蓄積手段として窒化膜中または窒化膜と酸化膜界面のキャリアトラップを利用するMONOS型、またはMNOS型がある。また、平面的に離散化された電荷蓄積手段として粒径が10nm以下の互いに絶縁分離された小粒径導電体（ナノ結晶）を用いるナノ結晶型がある。これらの不揮発性半導体記憶装置は、従来のFG型と比較して電荷蓄積手段が平面的に離散化されているため、これがゲート側面でゲート電極と殆ど容量結合せず、その結果として基板表面を基準としたゲート電極の高さをFG型と比較して大幅に低くすることができる。このため、本発明の不揮発性半導体記憶装置は、微細なゲートスペース間でのトレンチ分離の加工プロセスおよびその後の絶縁膜または導電膜の埋め込みプロセスが容易である。また、電荷蓄積手段が平面的に離散化されていることによって、書き込み時の動作電圧がFG型と比較して大幅に小さくできるので、素子分離領域のサイズ（例えば、トレンチの深さおよび幅）を小さくできるとともに、素子分離領域の電気的耐圧を低くすることができる。以上より、電荷蓄積手段が平面的に離散化されている本発明の不揮発性半導体記憶装置は、FG型と比較して素子分離領域の微細化に有利であり、その結果として、メモリセルの微細化に有利となる。

【0024】

【発明の実施の形態】以下、本発明に係る不揮発性半導体記憶装置及びその読み出し方法の実施形態を、図面を参照しながら詳細に説明するが、これに先立って、先に記述したリードディスタープ特性における問題点が判明した検討結果が本発明の前提となっていることから、この検討結果について述べる。つぎに、本発明の実施形態を、本発明適用後の不揮発性メモリの諸特性を示しながら詳細に説明する。

【0025】本発明前のリードディスタープに関する検討

MONOS型不揮発性メモリにおいては、先に述べたように、1トランジスタセルを実現するには、リードディスタープ特性、特に、データ書換え後のリードディスタープ特性が重要である。リードディスタープ特性はトンネル絶縁膜を厚くすると改善されるが、トンネル絶縁膜を厚くし過ぎると書き込み/消去動作が遅くなることから、これを補償するために動作電圧を上げなければならない。しかし、それではMONOS型不揮発性メモリの特長、即ちトンネル絶縁膜のスケール性の良さおよ

び低電圧動作化の容易性が生かされない。そこで、MONOS型不揮発性メモリトランジスタのリードディスタープ特性を評価した。

【0026】この検討では、図16の従来と同じセル配列で、メモリトランジスタをFG型からMONOS型に置き換えたものを用いた。ここで、図16に示すように、選択ワード線WL12に接続された非選択なセルをA、非選択ワード線WL11に接続されたセルで、選択セルSと同じNAND列内の非選択なセルをC、非選択ワード線WL11に接続され、選択セルSと異なるNAND列内の非選択なセルをBと定義した。

【0027】図14に、MONOS型メモリトランジスタを有するNANDセルに対し、そのデータ読み出し動作時の電圧印加条件を示す。なお、図14には、参考のためFG型NANDセルへの一般的な電圧印加条件を付記している。図14に示すように、通常のNAND型セルにおいて、MONOS型メモリトランジスタの読み出し動作時に、通常、選択信号線GS1、GS2に3.5Vを印加して両選択トランジスタをオンさせ、選択ワード線WL2に読み出しゲート電圧0.5V、非選択ワード線WL1、WL3、…にバス電圧3.5V、選択ビット線BLaに1.5V、図示せぬ非選択ビット線BLbに0Vを印加する。

【0028】このバイアス電圧の印加条件では、選択ワード線に印加する読み出しゲート電圧0.5Vが、書き込み状態のV_{th}分布（例えば、セルデータ“1”）と、消去状態のV_{th}分布（例えば、セルデータ“0”）との間に位置する。なお、この読み出しゲート電圧は、FG型と比較すると多少高くなっている。また、非選択ワード線に印加するバス電圧3.5Vは、書き込み状態のV_{th}分布（セルデータ“1”）より高いことから、このバス電圧の印加により非選択メモリトランジスタは全てオンする。

【0029】このため、当該選択セルのデータが“0”の場合、そのメモリトランジスタのしきい値電圧V_{th}が読み出しゲート電圧より低くメモリトランジスタがオンし、選択NAND列に読み出し電流が流れる。選択セルのデータが“1”の場合、そのメモリトランジスタのしきい値電圧V_{th}が読み出しゲート電圧より高くメモリトランジスタがオフしたままとなり、読み出し電流は流れない。

【0030】このバイアス電圧の印加条件では、読み出し時に非選択ワード線にバス電圧が印加されるために、図16で定義した非選択セルBまたはCが弱い書き込み状態となる、いわゆるソフトライトの問題がある。すなわち、消去状態にある非選択セルBまたはCのメモリトランジスタについて、基板側からONO膜中のキャリアトラップへの電子の弱い注入が起これ、これによってしきい値電圧の上昇が問題となる。NANDセルにより1トランジスタセル化をMONOS型メモリトランジスタ

を用いて実現するには、このリードディスタースを如何に抑えるかが重要となる。

【0031】このリードディスタースによるゲートしきい値電圧の上昇が最も顕著に現れるのは、ゲートに印加する電圧が高い場合のほか、データの書換えが頻繁に行われた後である。そこで、次に、標準的なデバイス寿命までのデータ書換え回数を100万回と仮定して、データ書換え100万回後のリードディスタース特性を測定した。

【0032】図15に、非選択セルBにおけるメモリトランジスタ（ゲート長：0.2 μ m）について、データ書換えを100万回行った後のリードディスタース特性を示す。この特性評価では、消去側の弱い書き込み状態の程度を変えるために、ゲート電圧 V_g （非選択ワード線WL1の印加電圧）をパラメータとした。後段のセンスアンプの感度によるが、一般に、十分に高速性を維持しながら確実にデータを読み出すには、ゲートしきい値電圧の消去側と書き込み側の差（以下、 V_{th} ウィンドウ幅という）は、最低でも0.5V必要である。本特性評価では、おおよそ 1×10^4 秒までの実験データを取り、後は10年である 3.1×10^8 秒までデータを直線で外挿して、このときの V_{th} ウィンドウ幅を推定した。ある一定の時間より長い時間領域（例えば 1×10^4 秒）でのリードディスタース特性またはデータ保持特性において、 V_{th} シフトの時間依存性がある一定の長い時間領域以降で直線的に減少することは、ランドキストの理論により裏づけられている。

【0033】なお、この図15に示す特性評価は非選択セルBについてのものであるが、その結果は非選択セルCにおいても同様であった。

【0034】以上の検討の結果、NAND型セルにおいてデータ書き込み時にリードディスタースが特に問題となるのは非選択Bまたは非選択セルCであった。すなわち、バス電圧3.5Vが印加された非選択ワード線WL1に接続された非選択セルCにおいて、時間経過とともに消去側のゲートしきい値電圧 $V_{th}(E)$ が増大し、この結果、10年後において、消去状態でのしきい値電圧が選択セルの読み出し電圧0.5Vより大きくなる。このため、つぎに非選択セルCが選択セルとして読み出し対象になったときに、消去状態でのしきい値電圧が選択セルの読み出し電圧0.5Vより大きくなり、この読み出し時に、読み出し電流が減少してデータ判別に必要な読み出し電流差がとれなくなり、正確なデータ読み出しが困難になることがある。これは、読み出し時に非選択メモリトランジスタのゲート印加電圧が高い場合、または、データの書換えを頻繁に行うことにより、トンネル絶縁膜にキャリアトラップが発生し、そのキャリアトラップを介してバックトンネル電流が流れるためである。

【0035】したがって、この問題を回避するには上記読み出し時のゲート印加電圧を低くすればよく、図15

に示す評価結果からは、そのゲート印加電圧を1.0Vにすれば良いことが分かる。しかし、1.0V程度の低いゲート電圧の印加によって書き込み状態にあるメモリセルアレイ内の全ての非選択トランジスタをオンさせることはできず、その結果として、ある頻度でNAND型セルのデータ読み出しが出来ない事態が発生する。

【0036】これらの問題点は、本検討におけるMONOS型のみならず、後述する電荷蓄積手段が平面的に離散化している他の不揮発性メモリにおいても、NANDセルを実現する際に同様に存在する。

【0037】また、これらの現象は、通常のFG型でも内在していると考えられるが、FG型ではトンネル酸化膜が8nm以上と厚いために、読み出し時の選択ワード線電圧が4.5Vと高い場合でもソフトライトが問題とならない。したがって、上記NAND型セルにおけるリードディスタースの問題は、FG型と比較してトンネル酸化膜の薄膜化が可能で、電荷蓄積手段が平面的に離散化されたMONOS型等のメモリ素子において顕在化してきた問題である。

【0038】第1実施形態

図1は、本実施形態に係る不揮発性半導体記憶装置（以下、不揮発性メモリ）のメモリセルアレイの基本構成を示す図である。図1において、メモリセルアレイ1の基本構成としてNAND列が繰り返し配置されている。図1では2つのNAND列が示されている。第1のNAND列は、選択トランジスタS11、S12、メモリトランジスタM11～M1n、およびバイパストラジスタB11～B1nから構成されている。同様に、第2のNAND列は、選択トランジスタS21、S22、メモリトランジスタM21～M2n、およびバイパストラジスタB21～B2nから構成されている。第1のNAND列内において、メモリトランジスタM11～M1nは、ドレインが不図示のビット線BL1に接続された選択トランジスタS11と、ソースがソース線SLに接続された選択トランジスタS12との間に、n個（通常、8または16個）直列接続されている。同様に、第2のNAND列内において、メモリトランジスタM21～M2nは、ドレインが不図示のビット線BL2に接続された選択トランジスタS21と、ソースがソース線SLに接続された選択トランジスタS22との間に、n個直列接続されている。

【0039】本実施形態のメモリセルアレイ1では、各NAND列内で、バイパストラジスタが各メモリトランジスタと並列に接続されて、これにより“メモリセル”が構成されている。第1のNAND列内で、両選択トランジスタS11、S12間にバイパストラジスタB11～B1nが直列接続され、各バイパストラジスタと隣接メモリトランジスタのソースまたはドレイン同士が接続されている。同様に、第2のNAND列内で、両選択トランジスタS21、S22間にバイパストラ

ジスタB21~B2nが直列接続され、各バイパストラ
ンジスタと隣接メモリトランジスタのソースまたはドレ
イン同士が接続されている。これらのバイパストラ
ンジスタB11~B2nは、動作の詳細については後述する
が、データ読み出し時に選択されたメモリトランジスタ
のしきい値電圧に応じて流れる読み出し電流を、隣接し
た非選択メモリトランジスタがオフしたままの場合もセ
ル内で迂回させて、ビット線とソース線間に流すために
設けてある。

【0040】メモリトランジスタM11, M21とバイ
パストランジスタB11, B21は、ワード線WL1を
兼用する共通線により制御される。同様に、メモリト
ランジスタM12, M22とバイパストランジスタB1
2, B22は、ワード線WL2を兼用する共通線により
制御され、メモリトランジスタM1n, M2nとバイ
パストランジスタB1n, B2nは、ワード線WLnを兼
用する共通線により制御される。また、選択トランジ
スタS11, S21は、ビット線選択信号線SG1により
制御され、選択トランジスタS12, S22は、ソース
線選択信号線SG2により制御される。

【0041】ワード線WLnを兼用する共通線には、本
発明の“共通線制御手段”として共通線制御回路2が接
続されている。共通線制御回路2は、通常のワード線を
制御する周辺回路部分と同様な構成を有し、例えばデコ
ーダ、バッファ、電圧印加回路等からなる。ただし、詳
細は後述するが、本例の共通線制御回路2は、その特に
読み出し時の非選択ワード線に印加する電圧値が、バイ
パストランジスタが設けられていない通常のNANDセ
ルのワード線を制御する手段（ワード線制御手段）とは
異なっている。

【0042】図2は、本実施形態の不揮発性メモリにお
いて、図1に対応する部分の平面図である。また、図3
は図2のA-A'線に沿った断面図、図4は図2のB-B'
線に沿った断面図、図5(a)は図2のC-C'線
に沿った断面図である。

【0043】図2において、ビット方向に長いトレン
チ素子分離領域5が平行ストライプ状に配置され、この
トレンチ素子分離領域5と直交してワード線WL1~WL
nおよび選択信号線SG1, SG2が平行ストライプ状
に配置されている。このトレンチ素子分離領域5に挟ま
れたストライプ状の部分がNAND列のチャネルとなる
能動領域である。各能動領域とワード線WLまたは選択
信号線SG1, SG2との交叉部分に、メモリトラン
ジスタまたは選択トランジスタが形成されている。各能動
領域のビット線選択信号線SG1の外側には、ビットコ
ンタクトBCが設けられている。ソース線選択信号線S
G2の外側に隣接して、ソース線SLが配線されてい
る。

【0044】図3において、符号2は例えばn型シリ
コンウエハ等の基板、4は基板の表面に形成されたp型の

ウエル(Pウエル)、16は層間絶縁層を示す。ビット
線選択信号線SG1と、ビット方向に隣接する他のNA
ND列のビット線選択信号線SG1'との間のPウエル
4の表面部分に、n型不純物が高濃度に添加されたドレ
イン不純物領域6aが形成されている。前記ビットコン
タクトBCは、このドレイン不純物領域6a上に接し、
層間絶縁層16に埋め込まれたプラグ等からなる。層間
絶縁層16上には、ビットコンタクトBCに接するビッ
ト線BL1が形成されている。ソース線選択信号線SG
2と、ビット方向に隣接する他のNAND列のソース線
選択信号線との間のPウエル4の表面部分に、n型不純
物が高濃度に添加されたソース不純物領域6bが形成さ
れている。このソース不純物領域6bにより、前記ソー
ス線SLが構成されている。なお、前記ソース線SL
は、上層の配線層から構成してもよい。ワード線間、或
いはワード線と選択信号線との間のPウエル4の表面部
分に、n型不純物が高濃度に添加されたソース・ドレ
イン不純物領域6cが形成されている。

【0045】本実施形態では、電荷蓄積手段が平面的に
離散化された不揮発性メモリトランジスタとして、ゲー
ト電極とチャネル形成領域との間の積層膜（ゲート絶縁
膜）がONO(Oxide-Nitride-Oxide)膜からなるMON
OS型が用いられている。ここで“チャネル形成領域”
とは、その表面側内部に電子または正孔が導電するチャ
ネルが形成される半導体領域をいう。また“電荷蓄積手
段”とは、ゲート絶縁膜内に形成され、そのゲート絶縁
膜上のゲート電極への印加電圧に応じて基板側との間で
電荷をやり取りし、電荷保持する電荷保持媒体をいう。
本実施形態において「平面的に離散化された電荷蓄積手
段」とは、ONO膜の窒化膜バルクのキャリアトラッ
プ、或いは酸化膜と窒化膜界面付近に形成された深いキ
ャリアトラップをいう。

【0046】このMONOS型のメモリトランジスタ
は、図4に拡大して示すように、前記ソース・ドレイン
不純物領域6cと、ソース・ドレイン不純物領域6c間
のPウエル4の表面部分（チャネル形成領域4a）上に
形成されたゲート絶縁膜8と、ゲート絶縁膜8上に形成
されたゲート電極（ワード線WL）とを有する。なお、
ソース・ドレイン不純物領域6cは、チャネル形成領域
4aと逆導電型の不純物を高濃度にPウエル4に導入す
ることにより形成された導電率が高い領域であり、種々
の形態がある。図では省略されているが、通常、ソース
・ドレイン不純物領域6cのチャネル形成領域4aに臨
む基板表面位置に、LDD(Lightly Doped Drain)と称
する低濃度不純物領域を具備させることが多い。

【0047】ワード線WLは、一般に、p型またはn型
の不純物が高濃度に導入されたポリシリコン(doped pol
y-Si)、又はdoped poly-Siと高融点金属シリサイドと
の積層膜からなる。

【0048】本実施形態におけるゲート絶縁膜8は、下

層から順に、トンネル絶縁膜10、窒化膜12、トップ酸化膜14から構成されている。トンネル絶縁膜10は、例えば熱酸化により形成された酸化シリコン(SiO_2)からなり、その内部の電子伝導が直接トンネリング現象によって行われる。MONOS型では、実質的にトンネル絶縁膜10と窒化膜12の三角ポテンシャルの部分に電子がトンネル注入するため、その書き込みメカニズムはモディファイドFN(Modified Fowler Nordheim)トンネリングを利用して行われる。トンネル絶縁膜10の膜厚は、使用用途に応じて2.0nmから3.6nmの範囲内で決めることができ、ここでは2.8nmに設定されている。本例におけるトンネル絶縁膜10の少なくとも表面部は、熱窒化処理され窒化酸化層10aが薄く形成されている。窒化膜12は、例えば5.0nmの窒化シリコン(SixNy)膜から構成されている。トップ酸化膜14は、窒化膜12との界面付近に深いキャリアトラップを高密度に形成する必要があり、このため成膜後の窒化膜を熱酸化して形成される。トップ酸化膜14の膜厚は、ゲート電極からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0nm、好ましくは3.5nm以上が必要である。

【0049】このような構成のメモリトランジスタをワード方向で分離するための前記トレンチ素子分離領域5は、図5(a)に示すように、Pウエル4の表面に掘られたトレンチ4bを、その深さ方向の途中まで絶縁材料13で埋め込むことにより形成されている。このトレンチ4b内の絶縁材料13より上の部分(以下、トレンチ上部という)に、平面パターンがワード線WL2と同一なトップ酸化膜14が延在し、これを介して当該トレンチ上部にワード線WL2の一部が埋め込まれている。このため、トレンチ上部の両側面にバイパストラジスタB22として機能するMOS(Metal-Oxide-Silicon)構造が形成されている。このMOS構造のトレンチ側面のシリコン領域がバイパストラジスタB22のチャネル形成領域となる。このチャネル形成領域は、図示せぬビット方向の両端でメモリトランジスタM22のソース・ドレイン不純物領域6cにそれぞれ接しており、その結果、当該バイパストラジスタB22はメモリトランジスタM22に並列接続されている。

【0050】以上述べてきた第1実施形態に係る不揮発性半導体メモリは、そのセル構成がメモリトランジスタのほかにバイパストラジスタを付加したものである。しかし、バイパストラジスタがトレンチ素子分離領域5の側面に形成され、バイパストラジスタを付加したことによるセル面積増大は殆どない。したがって、トレンチ素子分離領域形成、ワード線加工等に適用される最小のデザインルールをFとすると、当該NAND型セルの面積は、約5.5F²が実現可能である。

【0051】つぎに、このような構成のメモリセルの製

造方法例を、トレンチ素子分離領域とゲート絶縁膜の形成工程を中心に述べる。

【0052】まず、用意した基板(例えばn型シリコンウエーハ)3に対しPウエル4の形成を行い、メモリトランジスタのゲートしきい値電圧調整用のイオン注入等を必要に応じて行う。

【0053】Pウエル4上に、窒素で希釈した高温短時間熱酸化法(RTO法)で表面のシリコンを熱酸化して、トンネル絶縁膜10(最終厚み2.8nm)を形成する。また、アンモニア雰囲気中でトンネル絶縁膜10に対し高速熱窒化処理(RTN処理)を、例えば炉温度1000℃、処理時間1分の条件で行う。つぎに、減圧CVD法で窒化膜12を最終膜厚が5.0nmとなるように、これより厚めに堆積する。このCVDは、例えば、ジクロロシラン(DCS)とアンモニアを混合した導入ガスを用い、基板温度650℃で行う。この熱酸化膜上の窒化シリコン膜形成では、必要に応じて、予め、出来上がり膜表面の荒さの増大を抑止するため下地面の前処理(ウエハ前処理)及び成膜条件を最適化するとよい。この場合、ウエハ前処理を最適化していないと窒化シリコン膜の表面モフォロジーが悪く正確な膜厚測定ができないことから、このウエハ前処理を十分に最適化した上で、後でトップ酸化膜を形成するための熱酸化工程で膜減りする窒化シリコン膜の減少分を考慮した膜厚設定を行う。さらに、トレンチのエッチングマスクとなる膜を成膜する。

【0054】このエッチングマスクとなる膜をビット方向の平行ストライプ状にパターンニングし、エッチングマスク層を形成する。この状態で、エッチングマスク層間で表出する窒化膜12およびその下地のトンネル絶縁膜10を部分的にエッチングし、これらをビット方向の平行ストライプ状にパターンニングする。続いて、表出したPウエル4をシリコンのエッチング条件でエッチングし、所定の深さのトレンチ4bを形成する。全面に絶縁膜を成膜し、これをエッチバックして、トレンチ4b内の底部分を絶縁物13で埋め込む。

【0055】この状態で、斜め方向からのイオン注入を行う。このイオン注入は、トレンチ上部の側面に表出したシリコン領域に対し行い、これによりバイパストラジスタのゲートしきい値電圧が調整される。

【0056】エッチングマスク層を除去した後、これにより表出した窒化膜12の上面を含む全ての表出面を熱酸化法により酸化して、トップ酸化膜14(窒化膜12上で3.5nm)を形成する。この熱酸化は、例えばH₂O雰囲気中で炉温度950℃で行う。これにより、トラップレベル(窒化シリコンの伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{13} / \text{cm}^2$ の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ酸化膜14)が1.6nm形成され、この割合で下地の窒

化膜厚が減少し、窒化膜12の最終膜厚は5nmとなる。

【0057】全面にワード線となる導電膜を成膜し、これをワード方向の平行ストライプ状にパターンニングする。また、形成したワード線をマスクに用いたイオン注入法により、自己整合的にソース・ドレイン不純物領域6cを形成する。その後は、層間絶縁層16の成膜とビットコンタクトBCの形成を行い、層間絶縁層16上にビット線BL1、BL2を配線させる。また、必要に応じて、第2層目以降の層間絶縁層を介した上層配線の形成およびオーバーコート成膜とボンディングパッド窓開け工程等を経て、当該不揮発性メモリを完成させる。

【0058】なお、上記製造方法はメモリセルについて述べたが、選択トランジスタSG11~SG22については、これをメモリ素子とする必要がない。したがって、上述した製造方法において、メモリトランジスタの窒化膜12を全面に成膜した後、その選択トランジスタ部分を選択的に除去する。これにより、酸化シリコンからなる選択トランジスタのゲート絶縁膜9が、2回のシリコンの熱酸化（トンネル絶縁膜形成時とトップ酸化膜形成時）によって比較的厚く形成される（図3参照）。また、選択トランジスタ間の不純物領域6a、6bは、上述したソース・ドレイン不純物領域6cと同時に形成される。

【0059】以上述べてきた第1実施形態に係る不揮発性メモリの製造方法では、バイパストラジスタを形成するためだけに必要となる工程が、そのしきい値電圧調整用の斜めイオン注入工程のみで、製造コストの増大が殆どないといった利点がある。

【0060】つぎに、メモリセルの読み出し動作について説明する。ここで、選択セルSおよび非選択セルA~Cの定義を、図5(b)に示す。

【0061】前述した構成の不揮発性メモリにおいて、選択セルSからデータを読み出す際、まず、選択NAND列内におけるビット線側の選択トランジスタS11、およびソース線側の選択トランジスタS12をオンにする。また、選択NAND列が接続された選択ビットBL1に読み出しドレイン電圧、例えば2.5Vを印加し、他の非選択ビット線BL2は0Vのままとする。さらに、前記共通線制御回路2によって、非選択行のワード線WL2に所定の電圧、例えば1.5Vを印加する。この所定電圧は、メモリトランジスタの書き込み状態のしきい値電圧 $V_{th}(W)$ より低く、バイパストラジスタのしきい値電圧以上の電圧であり、以下、“非選択行バイアス電圧”と称する。

【0062】この状態で、選択行のワード線WL1に所定の読み出しゲート電圧、例えば0.5Vを印加する。この読み出しゲート電圧は、メモリトランジスタの消去状態のしきい値電圧 $V_{th}(E)$ より高く、バイパストラジスタのしきい値電圧より低い電圧に設定される。

【0063】これにより、選択NAND列内の非選択セルにおいて、少なくともバイパストラジスタはオンしており、その結果、選択セルSのメモリトランジスタM12のソースとドレイン間に、ほぼ読み出しドレイン電圧(2.5V)と同程度の電圧が印加される。前記したように、メモリトランジスタM12のゲートに非選択行バイアス電圧が印加されているため、メモリトランジスタM12にデータが書き込まれているか否かに応じて、当該メモリトランジスタM12がオンするか否かが決まる。

【0064】選択セルのデータが例えば“1”で書き込み状態の場合、メモリトランジスタM12がオフしたままである。また、前記したように読み出しゲート電圧はバイパストラジスタB12をオンさせるほど高くないので、当該バイパストラジスタB12もオフしたままとなる。したがって、この場合、選択ビット線BL1からソース線SLに読み出し電流が流れない。

【0065】これに対し、選択セルのデータが例えば“0”で消去状態の場合、そのしきい値電圧が読み出しゲート電圧より低いので、メモリトランジスタM12がオンする。また、選択NAND列の非選択セル内において、少なくともバイパストラジスタはオンしているので、選択ビット線BL1からソース線SLに読み出し電流が流れる。

【0066】図6は、この選択セルが消去状態の読み出し電流経路の一態様を示す図である。読み出し電流は、選択セルS内では必ずメモリトランジスタM12を介して流れるが、非選択セルC、C'内では、これらが全て書き込み状態の場合、図6に示すように、バイパストラジスタB11、B1nを介して流れる。なお、消去状態の非選択セルが存在する場合は、読み出し電流は、非選択セル内で非選択メモリトランジスタとバイパストラジスタの双方を流れる。

【0067】つぎに、バイパストラジスタを介して行うデータ読み出しによるリードディスタープの改善について述べる。

【0068】MONOS型不揮発性メモリの場合、平面的に離散化されたキャリアトラップで電荷保持を行なうため、リードディスタープによるゲート閾値電圧 V_{th} の変化量を検討する場合、ゲート絶縁膜8(ONO膜)に印加されるチャネル垂直方向の電界の向きと大きさが重要となる。読み出し時の非選択セルへのゲート印加電圧がある程度高い場合、図4に示す2つのソース・ドレイン不純物領域6c間の印加電圧が充分だと、これら領域に挟まれたチャネル形成領域4aにはチャネルが形成される。ゲート絶縁膜8にかかる電界は、ゲート電位とソースおよびドレインの電位（チャネルが形成されているときはチャネル電位）との差で規定される。

【0069】従来は、非選択ワード線に接続された非選択メモリトランジスタは、そのゲート電極にバス電圧

(3V以上、例えば3.5V)が印加されていた。このため、非選択メモリトランジスタのゲート絶縁膜8に高い電界がかかり、その電圧ストレスによりリードディスターブが生じ、これがNANDセルの特性上大きな問題となっていた。

【0070】これに対し、本実施形態において前記したバイパストラジスタを介して行うデータ読み出しでは、バイパストラジスタのしきい値電圧を制御し、これに応じて非選択ワード線に印加する電圧を低く設定できる。上記電圧設定例では、非選択セルCのメモリトランジスタM11のゲート絶縁膜8に印加される電圧が、従来の3V以上から1.5Vと半分以上に低減されている。その結果、非選択メモリトランジスタM11のゲート絶縁膜8にかかる電界によるストレスを小さくし、リードディスターブを大幅に改善できる。

【0071】非選択セルBについては、これが非選択セルCと同じワード線に接続されていることから、同一な作用、即ちゲート印加電圧が従来の半分以上に低減され、この結果、非選択セルCと同様にリードディスターブが大幅に改善される。なお、非選択セルAに関しては、その選択メモリトランジスタM22ゲートに印加された読み出しゲート電圧が0.5Vと小さく、非選択セルB、Cに比較してリードディスターブが小さく、これが問題となることはない。

【0072】以上述べたディスターブ特性がデータ書換えを頻繁に行った後でも維持できるかは実用上、重要である。そこで、つぎにデータ書換特性、およびデータ書換え100万回後のリードディスターブ特性について評価した。また、メモリ素子としての他の諸特性を確認したので、それらの結果を以下に示す。

【0073】メモリトランジスタのデータ書換特性を検討した。図7に、ゲート長が0.17 μ mのメモリトランジスタにおいて、そのデータ書換えを100万回まで行った場合のゲートしきい値電圧 V_{th} の書換回数依存性を示す。図7から、データ書換えを100万回行った後でも、ゲートしきい値電圧 V_{th} は余り変化せず、 V_{th} ウィンドウ幅の低下がないことが分かった。これは、MONOS型では、キャリアトラップが空間的に離散化され、かつエネルギーレベルが深いので、電荷が抜けにくいことが寄与していると考えられる。

【0074】このデータ書換え後の、非選択セルBおよびCのリードディスターブ特性について検討した。このときのメモリトランジスタのゲート長は0.18 μ m世代である。測定データを直線で外挿して、書き込み状態および消去状態での10年後のゲートしきい値電圧 V_{th} (W)、 V_{th} (E)を求め、両者の差から V_{th} ウィンドウ幅を求めた。その結果、 V_{th} ウィンドウ幅は、データ書換え100万回後10年経っても約0.8Vあり、耐年数10年後の実用的で望ましい V_{th} ウィンドウ幅0.5V以上を満足していることが分かった。

【0075】つぎに、同一の条件で、リードディスターブを受ける可能性がある選択セルSおよび非選択セルAのリードディスターブ特性を評価した。選択セルSおよび非選択セルAに対して、その読み出しゲート電圧は0.5V、読み出しドレイン電圧は1.5V~2.5Vとなる。この場合も、上記と同様な方法によって10年後の V_{th} ウィンドウ幅が0.5V以上あることを確認した。

【0076】以上より、選択メモリセルのデータを読み出す際に、メモリトランジスタと並列にバイパストラジスタを配置し、非選択ワード線にバイパストラジスタをオンするバイアス電圧を印加することにより、0.2 μ mより短い短ゲート長領域での非選択セルB、Cのリードディスターブ特性が、データ書換え100万回後においても大幅に改善された。その結果、現行の0.18 μ m世代のMONOS型のNANDセルの動作において、その読み出し精度および信頼性が向上することを確認できた。

【0077】最後に、ソースおよびドレインの接合耐圧に問題はないかを調べたので、その結果を以下に述べる。

【0078】耐圧に関し、ゲート電位を0Vで固定とし、ソースおよびドレインの印加電圧を上げていったときの電流-電圧特性を調べた。図10は、この電流-電圧特性の結果をグラフ化したものである。図10から、接合の降伏電圧は約9.5Vで、書き込み状態、消去状態に依存しないことが分かる。しかし、ソースおよびドレインの印加電圧が3V~5V付近のサブブレイクダウン領域における立ち上がり電圧は書き込み状態と消去状態と異なることが分かる。

【0079】つぎに、書き込み状態における電流-電圧特性のゲート電圧依存性を検討した。この結果、降伏電圧はゲート電圧依存性を示さず、サブブレイクダウン領域における立ち上がり電圧はゲート電圧依存性を示した。サブブレイクダウン領域はゲートエッジ部表面でのバンド間トンネル現象に起因していると推定されるが、電流レベルが小さいため、ここでは問題にならないと考えられる。また、約9.5Vの降伏電圧もリードディスターブ特性における非選択列バイアス電圧より十分に大きいことから、リードディスターブ特性に直接的に影響することはないと考えられる。なお、読み出しの際に非選択セルのパンチスルー耐圧も十分に大きなことも確認した。

【0080】つぎに、本実施形態のバイパストラジスタの制御に関する変形例について、説明する。図9は、この変形例に係るメモリセルアレイの基本構成を示す図である。また、図10は、図5(a)に対応するワード方向の断面図である。その他の断面図および平面図に変更はない。

【0081】図9に示すように、本変形例では、メモリ

トランジスタのゲート電位を制御するワード線と別に、バイパストラジスタのゲート電位を制御する共通線（バイパス制御線）を設けている。具体的にいうと、ワード線WL1はメモリトランジスタM11とM21のゲートに接続され、バイパストラジスタB11とB21のゲートは、バイパス制御線BPL1により共通に接続されている。同様に、ワード線WL2はメモリトランジスタM12とM22のゲートに接続され、バイパストラジスタB12とB22のゲートはバイパス制御線BPL2により共通に接続されている。また、ワード線WL_nはメモリトランジスタM1_nとM2_nのゲートに接続され、バイパストラジスタB1_nとB2_nのゲートはバイパス制御線BPL_nにより共通に接続されている。

【0082】本例における共通線制御回路22は、バイパス制御線BPS1～BPL_nに接続され、これとは別に、ワード線WL1～WL_nを制御するワード線制御回路24を設けている。このワード線制御回路24は、本発明の“ワード線制御手段”該当する。なお、バイパス制御線BPS1～BPL_nとワード線WL1～WL_nを個々に制御できる単一の制御回路を設け、これにバイパス制御線とワード線の全て接続させてもよい。

【0083】このようにメモリトランジスタとバイパストラジスタを個々に制御するために、例えば図10に示すように、バイパストラジスタB12、B22の埋め込みゲート電極26をワード線WL2と電気的に分離する必要がある。図10の例では、ゲート絶縁膜8の間を埋め込んだ絶縁層29により埋め込みゲート電極26を上層のワード線WL2と絶縁分離している。

【0084】なお、ここではバイパストラジスタB12、B22のゲート絶縁膜28をメモリトランジスタM12、M22のトップ酸化膜14とは別に設けているが、これは本変形例の特徴ではなく、図5(a)と同様にしてもよい。また、埋め込みゲート電極26同士を相互接続してバイパス制御線とする必要があるが、その構成は任意である。例えば、上層の配線層を用いてバイパス制御線としてもよいし、また、ワード線と絶縁分離しながらワード線の側壁に導電性サイドウォールを形成し、これをバイパス制御線として用いることもできる。

【0085】本実施形態では、メモリトランジスタに並列にバイパストラジスタを配置することにより、読み出し電流をバイパストラジスタを迂回させて流すこととした。この結果、バイパストラジスタのしきい値電圧を制御すれば、読み出し時に非選択ワード線に高い電圧（バス電圧：3V以上）を印加して、全ての非選択メモリトランジスタをオンさせる必要がなくなった。また、本実施形態では非選択ワード線に印加する電圧はバイパストラジスタをオンさせる程度の電圧（例えば、1.5V）ですみ、非選択ワード線への電圧印加による電圧ストレスを大幅に低減することができた。すなわち、非選択メモリトランジスタのゲート絶縁膜にかかる

電界を緩和し、その結果、消去状態にある非選択メモリトランジスタのゲートしきい値電圧 $V_{th}(E)$ が時間とともに増大するといった、いわゆるソフトライトが防止され、これに起因したリードディスタurb特性を大幅に改善することができた。また、結果として、MONOS型のNANDセルのディスタurbマージンを大きくすることができた。さらに、主要デバイス特性、特に耐圧については問題がないことを確認した。

【0086】バイパストラジスタをトレンチ素子分離領域の側面に形成することから、その作製のためにセル面積が増大することがなく、このためデザインルールFに対し5.5F²の微細セルを実現できた。また、バイパストラジスタを付加することによる製造工程の増加も殆どなく、製造コストの増大を極力抑制できた。

【0087】このようなリードディスタurbマージンの拡大によって、メモリセルのトランジスタ数を単一とした従来のNANDセルと同様なセル面積で、MONOS型のNANDセルを実現することが可能となった。なお、本実施形態のMONOS型のNANDセルでは、トンネル絶縁膜が比較的厚いことから、電荷蓄積手段へのホールの注入が抑制され、この結果、ホールによるトンネル絶縁膜の劣化が抑制され、良好な書き込み／消去の繰り返し特性（エンデュランス特性）が得られている。

【0088】第2実施形態

本実施形態では、MONOS型不揮発性メモリ装置の変形例について示す。

【0089】図11は、このMONOS型メモリトランジスタの素子構造を示す断面図である。本実施形態のMONOS型不揮発性メモリが、第1実施形態と異なるのは、本実施形態のゲート絶縁膜30が、窒化膜12に代えて酸化窒化膜32（ SiO_xNy 、 $0 < x < 1$ 、 $0 < y < 1$ ）を具備することである。その他の構成、即ちPウェル4、ソース・ドレイン不純物領域6c、チャネル形成領域4a、トンネル絶縁膜10、トップ酸化膜14およびゲート電極を兼用するワード線WLは、第1実施形態と同様である。なお、本例におけるトンネル絶縁膜10は、表面に酸化窒化層10a（図4）を有しないが、これは第1実施形態においても省略可能であり、本実施形態の特徴ではない。

【0090】酸化窒化膜32は、例えば5.0nmの膜厚を有する。また、本例におけるトンネル絶縁膜10は、窒化酸化層を有しないこととの関係で、第1実施形態よりやや薄く、使用用途に応じて2.0nmから3.0nmまでの範囲内で膜厚を適宜選択できる。ここでは、2.5nm程度の膜厚とした。このことは、第1実施形態でトンネル絶縁膜に SiO_2 膜を用いた場合も同様である。

【0091】このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、例えば減圧CVD法で酸化窒化膜32を最終膜厚が5.0nmとなるよ

うに、これより厚めに堆積する。このCVDは、例えば、ジクロロシラン(DCS)、アンモニアおよび N_2O を混合した導入ガスを用い、基板温度650℃で行う。この熱酸化膜上の SiO_xNy 膜形成では、必要に応じて、予め下地面の前処理(ウエハ前処理)及び成膜条件を最適化するとよいことは第1実施形態と同様である。その後は、第1実施形態と同様に、トップ酸化膜14およびゲート電極材の成膜、電極加工等を経て、当該MONOS型メモリトランジスタを完成させる。なお、本実施形態では、電荷蓄積手段を形成する酸化窒化膜32の形成において、窒化シリコン膜に酸素ドーピングして SiO_xNy 膜としてもよい。

【0092】メモリセルアレイの基本構成を示す平面図(図2)、断面図(図3、図5および図10)は、上記ゲート絶縁膜の構成を除くと、本実施形態においても適用される。また、図1および図9に示す回路構成は、本実施形態においてもそのまま適用され、バイパストラジスタを介したデータ読み出し動作も第1実施形態と同様である。

【0093】この作製したメモリトランジスタのデータ書換特性を、図7の場合と同様にして検討した。この結果、データ書換えを100万回行った後でも十分な V_{th} ウィンドウ幅が得られた。また、データ書換え後の非選択セルA~C及び選択セルSのリードディスタープ特性について検討した。この検討は、第1実施形態と同様に行い、同様な結果、即ち何れの非選択セルでも消去状態での10年後のゲートしきい値電圧 $V_{th}(E)$ が、読み出しゲート電圧(0.5V)を越えないことを確認できた。

【0094】耐圧についても、第1実施形態と同様に検討した結果、良好であった。また、主要デバイス特性、即ち電流電圧特性はカットオフ領域とゲート電圧依存性について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0095】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、バイパストラジスタを設け、そのしきい値電圧を制御することにより、非選択ワード線への印加電圧を低減でき、その結果、リードディスタープ特性が改善され、リードディスタープマージンを十分大きくできた。また、バイパストラジスタを設けたにもかかわらず、セル面積を従来のNAND型と同等とし、製造コストも出来るだけ抑えた。さらに、トンネル絶縁膜の膜厚が比較的厚いことから、ホール注入の抑制によるエンデュランス特性に改善が見られた。

【0096】第3実施形態

本実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ互いに絶縁分離された多数のナノ結晶を用いた不揮発性半導体記憶装置(以下、

ナノ結晶型という)について示す。本実施形態において、この例えばSiからなり粒径がナノメートル(nm)オーダーのナノ結晶が、“平面的に離散化された電荷蓄積手段”に該当する。このナノ結晶は、粒径が10ナノメートル以下であることが好適である。

【0097】図12は、このナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のナノ結晶型不揮発性メモリが、第1実施形態と異なるのは、本実施形態のゲート絶縁膜40が、窒化膜12とトップ酸化膜14に代えて、トンネル絶縁膜10上の電荷蓄積手段としてのSiナノ結晶42と、その上の酸化膜44とがゲート電極(ワード線WL)との間に形成されていることである。その他の構成、即ちPウェル4、ソース・ドレイン不純物領域6c、チャネル形成領域4a、トンネル絶縁膜10、ゲート電極を兼ねるワード線WLは、第1実施形態と同様である。なお、本例におけるトンネル絶縁膜10は、表面に窒化酸化層10a(図4)を有しないが、これは第1実施形態においても省略可能であり、本実施形態の特徴ではない。

【0098】ナノ結晶42は、例えばシリコンからなり、そのサイズ(直径)が例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜44で空間的に、例えば4nm程度の間隔で分離されている。本例におけるトンネル絶縁膜10は、電荷蓄積手段(Siナノ結晶42)が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから4.0nmまでの範囲内で膜厚を適宜選択できる。ここでは、3.2nm程度の膜厚とした。

【0099】このような構成のメモリトランジスタの製造では、トンネル絶縁膜10の成膜後、例えば減圧CVD法でトンネル酸化膜10の上に、複数のSiナノ結晶42を形成する。また、酸化膜44を、例えば7nmほど減圧CVDにより成膜し、Siナノ結晶42を埋め込む。この減圧CVDでは、原料ガスがDCSと N_2O の混合ガス、基板温度が例えば700℃とする。この時、Siナノ結晶42を埋め込んだ酸化膜44表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス(例えばCMP等)を行うとよい。その後は、ゲート電極材の成膜、電極加工等を経て、当該ナノ結晶型メモリトランジスタを完成させる。

【0100】このように形成されたSiナノ結晶42は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1eV程度とされる。この大きさの個々のSiナノ結晶42は、数個の注入電子を保持できる。

【0101】メモリセルアレイの基本構成を示す平面図(図2)、断面図(図3、図5および図10)は、上記ゲート絶縁膜の構成を除くと、本実施形態においても適用される。また、図1および図9に示す回路構成は、本

10

20

30

40

50

実施形態においてもそのまま適用され、バイパストランジスタを介したデータ読み出し動作も第1実施形態と同様である。

【0102】このような構成のナノ結晶型不揮発性メモリについて、まず、ランドキストのバックトンネリングモデルによりデータ保持特性を予測した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と基板3との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.1 eVの場合のデータ保持を検討した。この結果、トラップレベル3.1 eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域4aまでの距離が3.2 nmと比較的に近い場合でも良好なデータ保持を示すことが分かった。

【0103】次いで、もう一つの重要な特性である書き込み消去における低電圧プログラミングについて検討した。その結果、本例における書き込み時間は、プログラム電圧が5 Vの低プログラム電圧で1 msec以下であり、ナノ結晶型の高速書き込み性が実証できた。

【0104】この作製したメモリトランジスタのデータ書換特性を、図7の場合と同様にして検討した。この結果、データ書換えを100万回行った後でも十分なVthウィンドウ幅が得られた。また、データ書換え後の非選択セルA~C及び選択セルSのリードディスタープ特性について検討した。この検討は、第1実施形態と同様に行い、同様な結果、即ち何れの非選択セルでも消去状態での10年後のゲートしきい値電圧Vth(E)が、読み出しゲート電圧(0.5 V)を越えないことを確認できた。

【0105】耐圧についても、第1実施形態と同様に検討した結果、良好であった。また、主要デバイス特性、即ち電流電圧特性はカットオフ領域とゲート電圧依存性について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0106】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、バイパストランジスタを設け、そのしきい値電圧を制御することにより、非選択ワード線への印加電圧を低減でき、その結果、リードディスタープ特性が改善され、リードディスタープマージンを十分大きくできた。また、バイパストランジスタを設けたにもかかわらず、セル面積を従来のNAND型と同等とし、製造コストも出来るだけ抑えた。さらに、トンネル絶縁膜の膜厚が比較的厚いことから、ホール注入の抑制によるエンデュランス特性に改善が見られた。

【0107】第4実施形態

本実施形態は、第1実施形態とほぼ同様なゲート電極構造のメモリトランジスタを、SOI基板に形成した場合

である。

【0108】図13は、このSOI絶縁分離構造のMONOS型メモリトランジスタの素子構造を示す断面図である。本実施形態のSOI絶縁分離構造のMONOS型不揮発性メモリが、第1実施形態と異なるのは、メモリトランジスタがSOI基板に形成されていることである。その他の構成、即ちソース・ドレイン不純物領域6c、トンネル絶縁膜10、窒化膜12、トップ酸化膜14およびゲート電極を兼ねるワード線WLは、第1実施形態と同様である。なお、本例におけるトンネル絶縁膜10は、表面に窒化酸化層10a(図4)を有しないが、これは第1実施形態においても省略可能であり、本実施形態の特徴ではない。

【0109】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面から所定深さに埋込酸化膜を形成したSIMOX(Separation by Implanted Oxygen)基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図13に示したSOI基板は、支持基板50、分離酸化膜52およびシリコン層54から構成され、シリコン層54内に、チャネル形成領域54a、ソース・ドレイン不純物領域6cが設けられている。

【0110】このような構成のメモリトランジスタの製造では、SOI基板形成以外の工程は既に第1実施形態で述べ、またSOI基板の形成も通常の方法によるので、ここでは省略する。

【0111】メモリセルアレイの基本構成を示す平面図(図2)、断面図(図3、図5および図10)は、上記基板およびゲート絶縁膜の構成を除くと、本実施形態においても適用される。また、図1および図9に示す回路構成は、本実施形態においてもそのまま適用され、バイパストランジスタを介して行うデータ読み出し動作も第1実施形態と同様である。

【0112】この作製したメモリトランジスタについて、そのSOI基板を用いた効果、即ち高速性、低消費電力については、素子を試作して特性を評価した結果、良好な特性が得られることを確認した。データ書換速度に関しては、書き込み時間は0.2 msを満足、消去はブロッカー一括で消去で50 msを満足した。

【0113】また、メモリトランジスタのデータ書換特性を、図7の場合と同様にして検討した。この結果、データ書換えを100万回行った後でも十分なVthウィンドウ幅が得られた。さらに、データ書換え後の非選択セルA~C及び選択セルSのリードディスタープ特性について検討した。この検討は、第1実施形態と同様に行い、同様な結果、即ち何れの非選択セルでも消去状態での10年後のゲートしきい値電圧Vth(E)が、読み出しゲート電圧(0.5 V)を越えないことを確認できた。

【0114】耐圧についても、第1実施形態と同様に検

討した結果、良好であった。また、主要デバイス特性、即ち電流電圧特性はカットオフ領域とゲート電圧依存性について評価し、またエンデュランス特性およびデータ保持特性を第1実施形態と同様に評価した結果、何れも第1実施形態と同様な満足な結果が得られた。

【0115】本実施形態においても、先の第1実施形態と同様な効果が得られる。すなわち、バイパストラジスタを設け、そのしきい値電圧を制御することにより、非選択ワード線への印加電圧を低減でき、その結果、リードディスタブ特性が改善され、リードディスタブマージンを十分大きくできた。また、バイパストラジスタを設けたにもかかわらず、セル面積を従来のNAND型と同等とし、製造コストも出来るだけ抑えた。さらに、トンネル絶縁膜の膜厚が比較的厚いことから、ホール注入の抑制によるエンデュランス特性に改善が見られた。

【0116】なお、以上の第1～第4実施形態はMONOS型とナノ結晶型について説明したが、本発明における“平面的に離散化された電荷蓄積手段”は、ポリシリコン等からなり微細なドット状に分割された微細分割フローティングゲート等の他の形態を含む。また、MONOS型以外で電荷蓄積手段としてキャリアトラップを有するメモリトランジスタには、MNOS(Metal-Nitride-Oxide-Semiconductor)型が含まれる。単一電子型不揮発性メモリに対しても、本発明が適用可能である。SOI基板を用いることは、MONOS型以外でも可能なこと、1セルに2ビット以上の情報を記憶する多値メモリの適用が可能なことは言うまでもない。

【0117】

【発明の効果】本発明の不揮発性半導体記憶装置の読み出し方法では、電荷蓄積手段が平面的に離散化されたメモリトランジスタにバイパストラジスタを並列接続させ、選択メモリトランジスタの読み出しの際に、非選択メモリトランジスタに並列接続されたバイパストラジスタを介してセル電流を読み出すこととした。このため、非選択セルをオンするしきい値電圧をバイパストラジスタのしきい値電圧の調整でメモリトランジスタとは無関係に行うことが可能となった。つまり、従来では非選択メモリトランジスタを必ずオンさせる必要があった非選択列のゲート印加電圧を、バイパストラジスタをオンさせる程度に小さく設定できるようになった。以上の理由により、非選択ワード線の電圧印加にともなう非選択メモリトランジスタの電圧ストレスを大幅に低減させ、この結果、リードディスタブ特性を改善する、或いはリードディスタブマージンを拡大することが可能となった。

【0118】本発明の不揮発性半導体記憶装置は、上記バイパストラジスタを素子分離領域の側面に形成することにより、セル面積の増大がなく、殆どコスト増を招かないことから、実用性を高くすることができた。

【図面の簡単な説明】

【図1】図1は、本発明の第1～第4実施形態に共通な不揮発性メモリ装置の要部構成を示す図である。

【図2】図2は、本発明の第1～第4実施形態に共通なメモリセルアレイの基本構成を示す平面図である。

【図3】図3は、本発明の第1実施形態に係り、図2のA-A'線に沿った断面図である。

【図4】図4は、本発明の第1実施形態に係るMONOS型メモリトランジスタの素子構造を示し、図2のB-B'線に沿った断面図である。

【図5】図5(a)は、本発明の第1実施形態に係り、図2のC-C'線に沿った断面図である。また、図5(b)は、メモリセルアレイの基本構成内でセル定義を示す図である。

【図6】図6は、NAND列内で読み出し電流(セル電流)の通過経路の一態様を示す図である。

【図7】図7は、本発明の第1実施形態において、ゲート長が0.17μmのメモリトランジスタにおいて、そのデータ書換えを100万回まで行った場合のゲートしきい値電圧の書換回数依存性を示すグラフである。

【図8】図8は、本発明の第1実施形態において、ゲート電圧が0Vの場合の電流-電圧特性について書き込み状態及び消去状態の両者の場合について示す図である。

【図9】図9は、本発明の第1実施形態の変形例に係り、不揮発性メモリ装置の要部構成を示す図である。

【図10】図10は、図9の変形例において、図2のC-C'線に沿った断面図である。

【図11】図11は、本発明の第2実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

【図12】図12は、本発明の第3実施形態に係るナノ結晶型メモリトランジスタの素子構造を示す断面図である。

【図13】図13は、本発明の第4実施形態に係るSOI絶縁分離構造のMONOS型メモリトランジスタの素子構造を示す断面図である。

【図14】図14は、本発明前の検討の際におけるNANDセルのバイアス条件を示す図である。

【図15】図15は、本発明前の検討において明らかとなった問題点に関し、非選択セルCにおけるメモリトランジスタについて、データ書換えを100万回行った後のリードディスタブ特性を示す図である。

【図16】図16は、従来のNAND型メモリセルアレイの基本構成を示す回路図である。

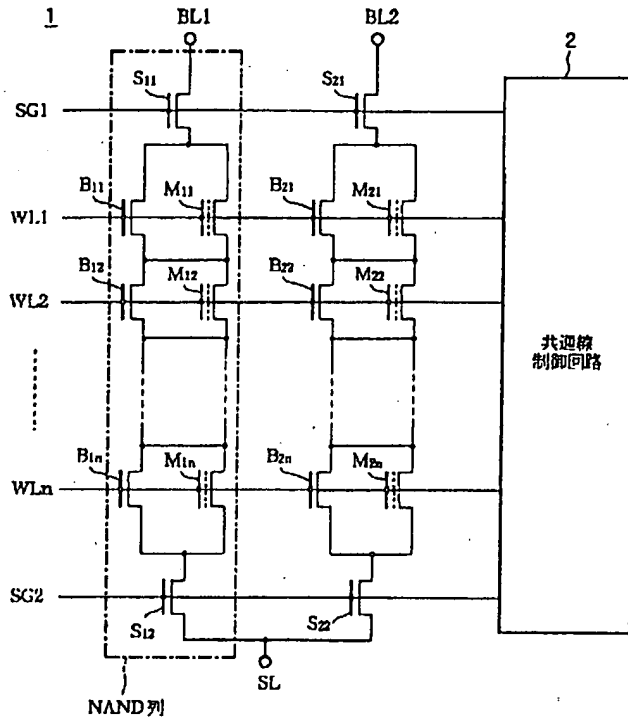
【符号の説明】

1, 20…不揮発性メモリ、2, 22…共通線制御回路(共通線制御手段)、3…基板、4…Pウエル、4a, 54a…チャネル形成領域、6a…ドレイン不純物領域、6b…ソース不純物領域、6c…ソース・ドレイン不純物領域、8, 30, 40…ゲート絶縁膜、10…ト

31

ネル絶縁膜、10a…窒化酸化層、12…窒化膜、14…トップ酸化膜、24…ワード線制御回路（ワード線制御手段）、26…バイパストラジスタの埋め込みゲート電極、28…バイパストラジスタのゲート絶縁膜、29…絶縁層、32…酸化窒化膜、42…Siナノ結晶、44…酸化膜、50…支持基板、52…分離酸化

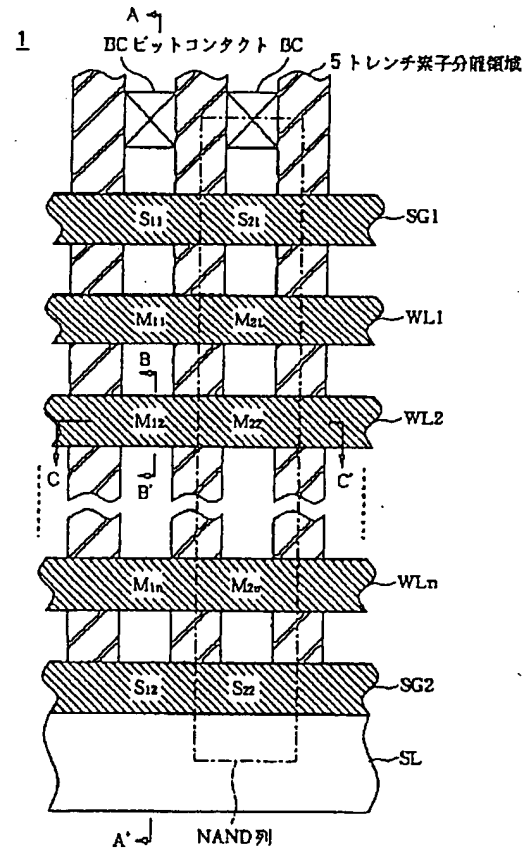
【図1】



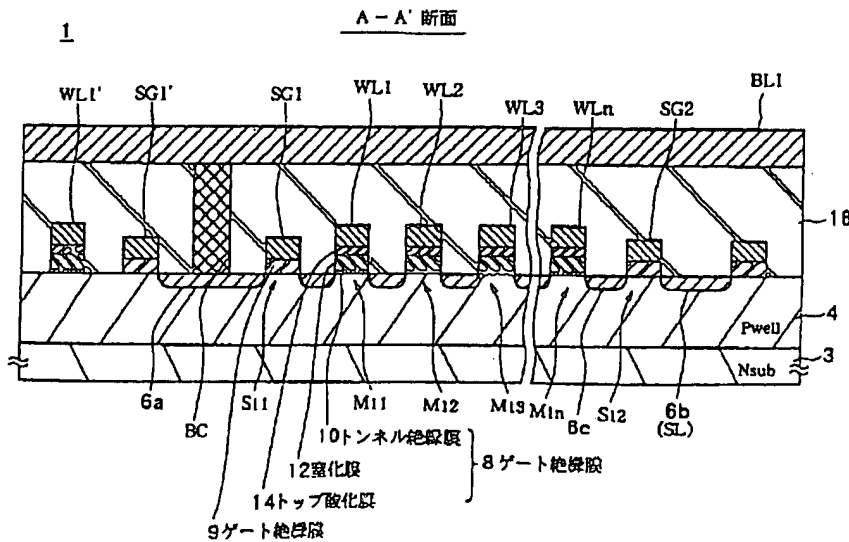
32

膜、54…シリコン層、M11～M2n…メモリトランジスタ、B11～B2…バイパストラジスタ、A～C…非選択セル、S…選択セル、BL1等…ビット線、WL1等…ワード線、SL…ソース線、BC…ビットコンタクト、Vth…ゲートしきい値電圧。

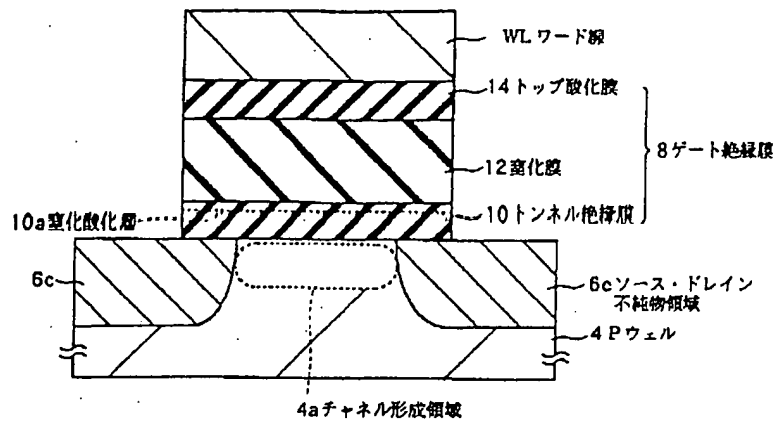
【図2】



【図3】

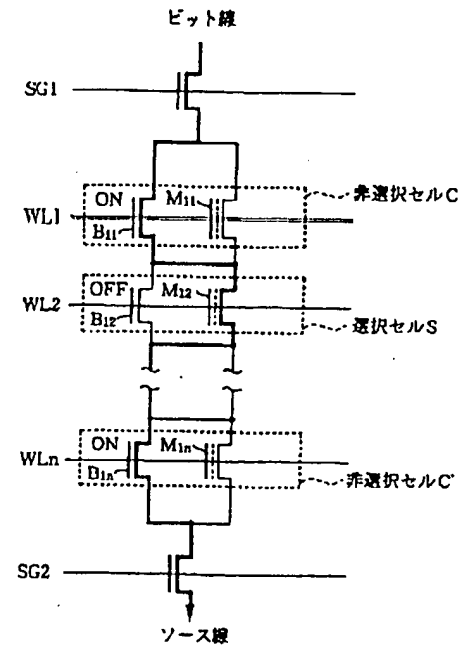


【図4】



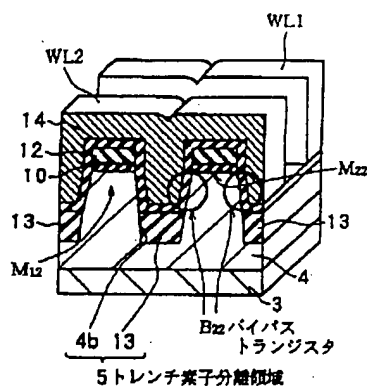
第1実施形態に係る不揮発性メモリトランジスタ

【図6】

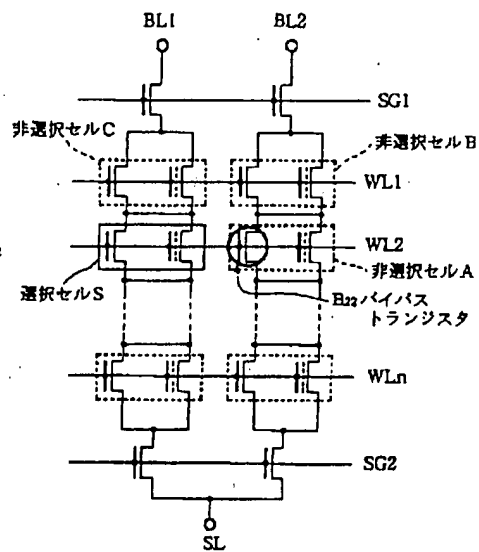


【図5】

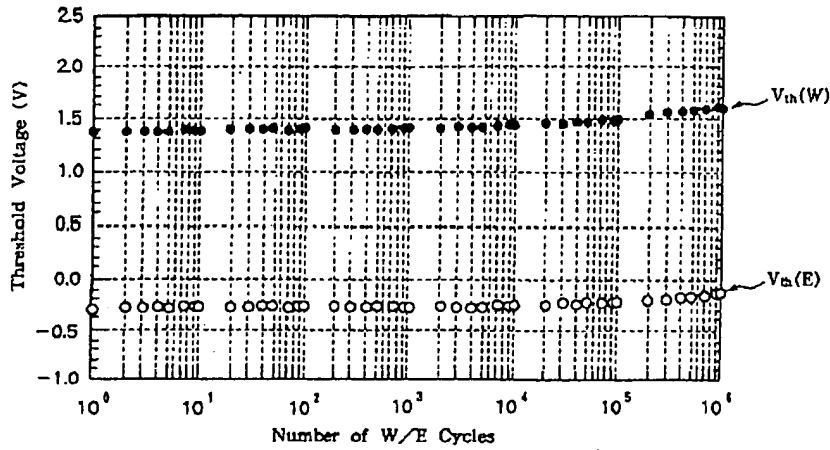
(a) C-C'断面



(b) セル定義

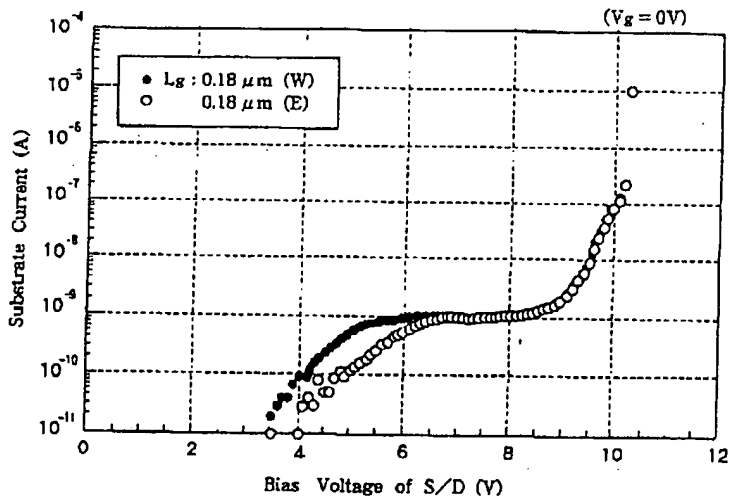


【図7】



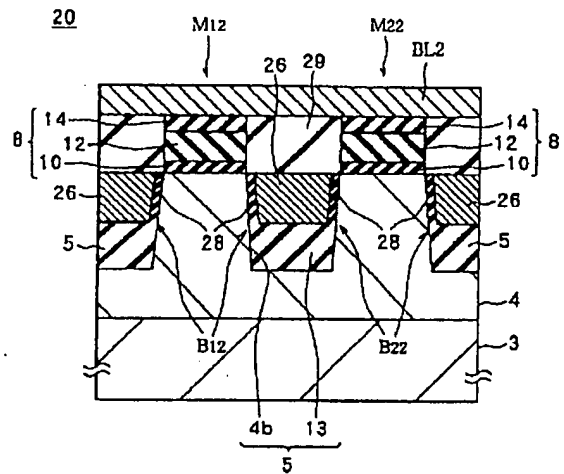
データ交換特性

【図8】

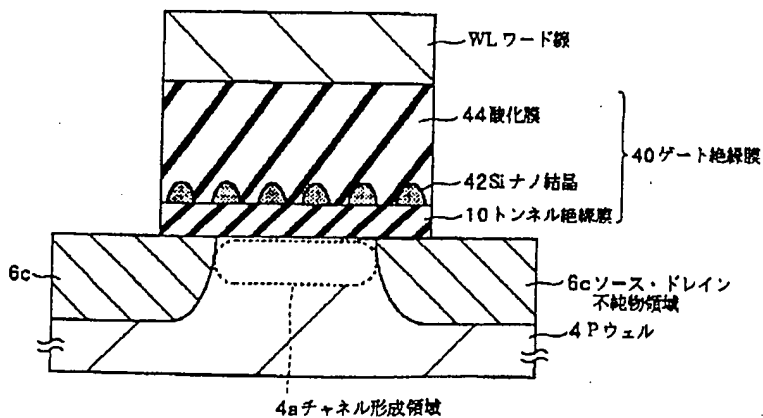


電流-電圧特性

【図10】

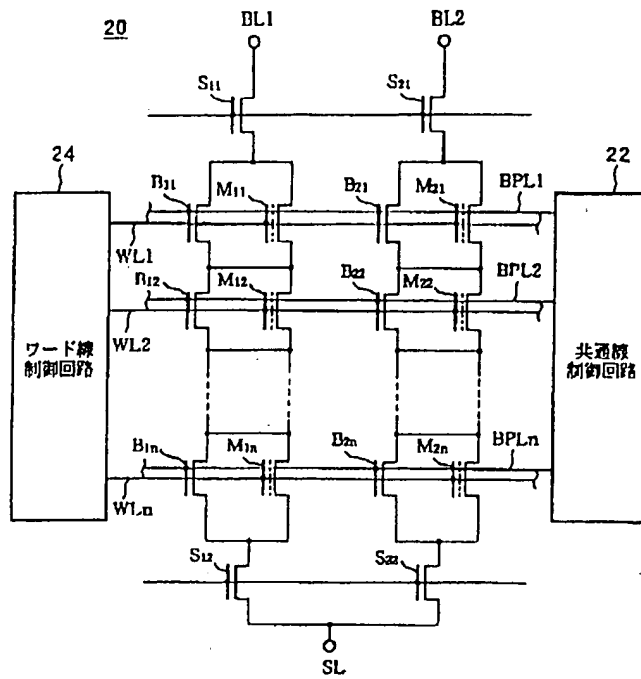


【図12】

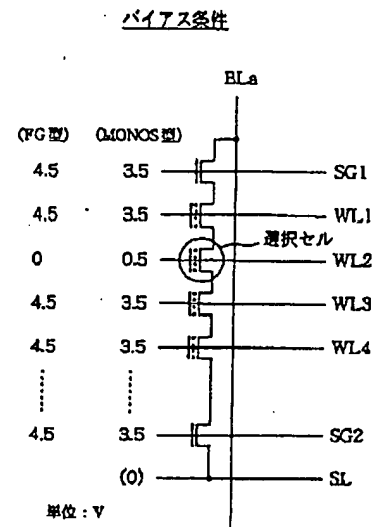


第3実施形態に係る不揮発性メモリトランジスタ

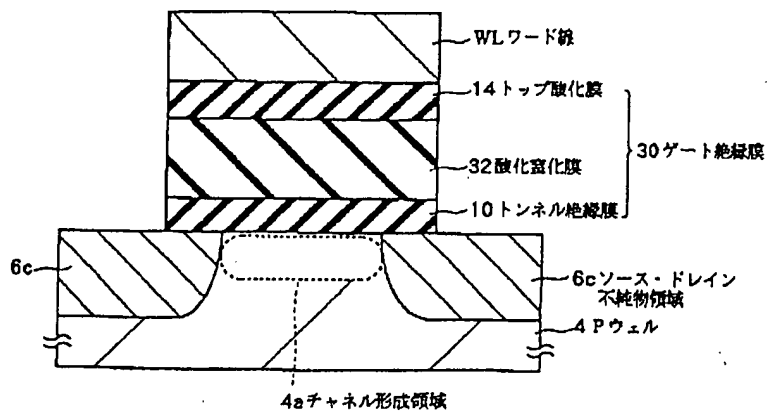
【図9】



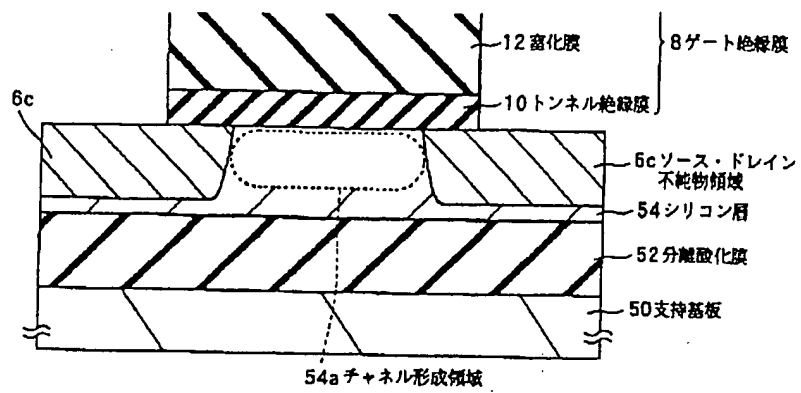
【図14】



【図11】

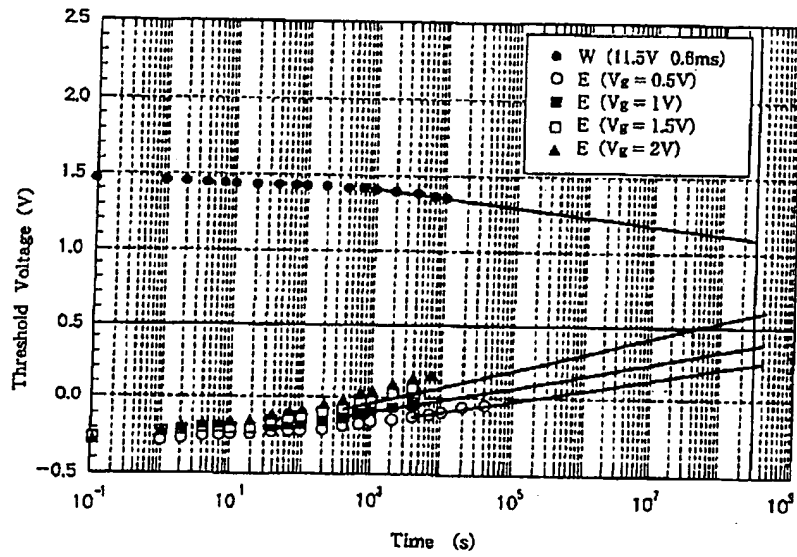


第2実施形態に係る不揮発性メモリトランジスタ



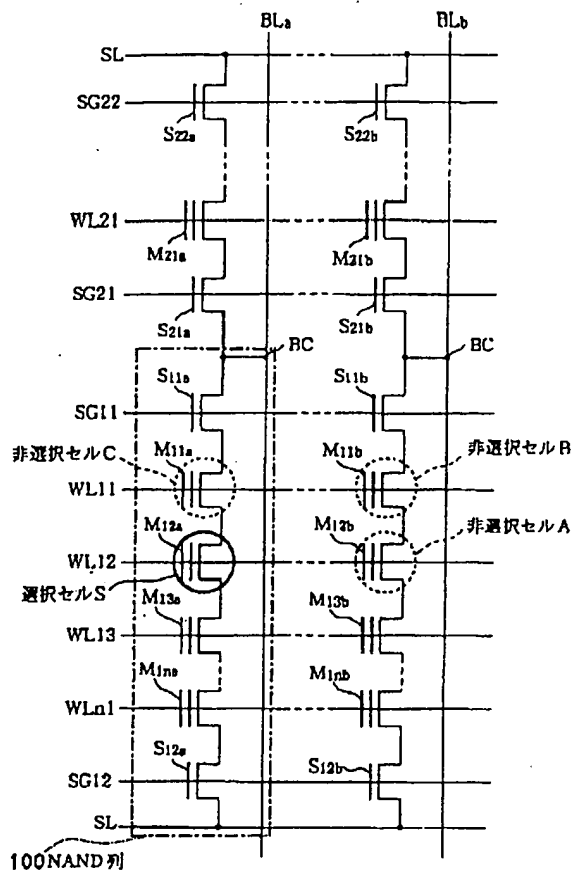
第4実施形態に係る不揮発性メモリトランジスタ

【図15】



従来のMONOS型NANDセルのデータ書換え100万回後のリードディスタープ特性

【図16】



フロントページの続き

Fターム(参考) 5B025 AA04 AA07 AC02

5F001 AA13 AA14 AA19 AB08 AD17
AD19 AD41 AD52 AD53 AD60
AD61 AD70 AE03 AG02 AG12
AG21 AG23 AG28

5F083 EP03 EP07 EP09 EP17 EP18
EP30 EP33 EP34 EP40 EP63
EP68 EP76 GA11 HA02 JA05
JA35 JA53 KA13 KA17 LA10
LA11 LA16 NA01 PR13 PR16
PR21 PR37 PR39